

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091303

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 21/306
H01L 21/3065
H01S 5/227

(21)Application number : 10-253726

(71)Applicant : FUJITSU LTD
FUJITSU QUANTUM DEVICE KK

(22)Date of filing : 08.09.1998

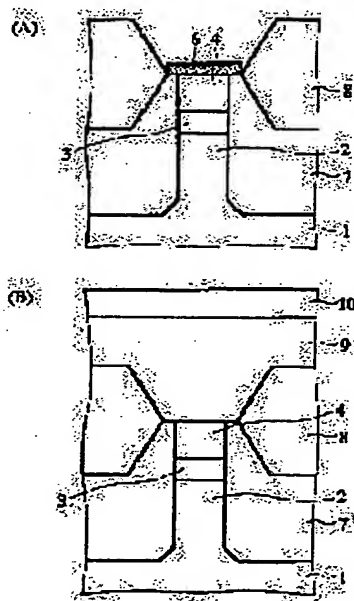
(72)Inventor : FUJII TAKUYA
OKAZAKI JIRO
WATANABE TAKAYUKI

(54) MANUFACTURE OF COMPOUND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a dry etching damaged layer without damaging the mesa side surface shape by properly selecting etchant used in growth pretreatment, when a mesa is formed by dry-etching an InP-based compound semiconductor laminate on an InP substrate, and the mesa is filled with a compound semiconductor layer containing InP, in the manufacturing method of a compound semiconductor device.

SOLUTION: A laminated structure, containing an InGaAsP based MQW active layer 3 sandwiched by an N-InP clad layer 2 and a P-InP clad layer 4, is formed on an N-InP substrate 1 whose Miller indices are (001) and etched into a mesa shape by using dry etching method. The surface of the substrate 1 containing mesa side surfaces is etched by using an acid solution containing hydrochloric acid, acetic acid and hydrogen peroxide, and a P-InP block layer 7 and an N-InP block layer 8, into which the mesa is embedded are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-91303
(P2000-91303A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 1 L 21/306		H 0 1 L 21/306	B 5 F 0 0 4
21/3065		H 0 1 S 3/18	6 6 5 5 F 0 4 3
H 0 1 S 5/227		H 0 1 L 21/302	N 5 F 0 7 3

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号	特願平10-253726	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成10年9月8日 (1998.9.8)	(71) 出願人	000154325 富士通量子デバイス株式会社 山梨県中巨摩郡昭和町大字紙漣阿原1000番地
		(72) 発明者	藤井 卓也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74) 代理人	100072833 弁理士 柏谷 昭司 (外2名)

最終頁に続く

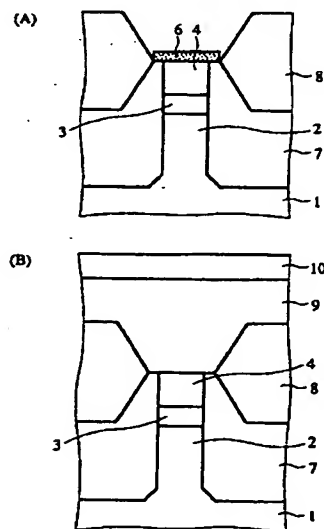
(54) 【発明の名称】 化合物半導体装置の製造方法

(57) 【要約】

【課題】 化合物半導体装置の製造方法に関し、InP基板上のInP系化合物半導体積層体をドライ・エッチングしてメサを形成し、そのメサをInPを含む化合物半導体層で埋め込む際、成長前処理で用いるエッチャントを適切に選択してメサ側面形状を損なわずにドライ・エッチング・ダメージ層を除去する。

【解決手段】 面指数(001)のn-InP基板1上にn-InPクラッド層2とp-InPクラッド層4とで挟まれたInGaAsP系MQW活性層3を含んだ積層構造を形成し、ドライ・エッチング法を適用して前記積層構造をメサ形状にエッチングし、塩酸と酢酸と過酸化水素を含む酸溶液を用いてメサ側面を含む基板1の表面をエッチングし、メサを埋め込むp-InPブロック層7とn-InPブロック層8を形成する。

半導体装置の要部切断正面図



7及び8: ブロック層
9: クラッド層
10: コンタクト層

【特許請求の範囲】

【請求項1】面指数が(001)であるInP基板上に少なくともInP層で挟まれたInGaAsP或いはAlInGaAsを材料とする化合物半導体層を含んだ積層構造を形成する工程と、

次いで、ドライ・エッチング法を適用することに依って前記積層構造をメサ形状にエッチングする工程と、

次いで、少なくとも塩酸と酢酸と過酸化水素を含む酸溶液を用いて前記メサ側面を含む基板表面をエッチングする工程と、

次いで、前記メサを埋め込む化合物半導体層を形成する工程とが含まれてなることを特徴とする化合物半導体装置の製造方法。

【請求項2】酸溶液を塩酸と酢酸と過酸化水素と水の混合溶液とし且つメサ側面に於けるサイド・エッチング速度が下側InP層の上面と上側InP層の下面とで実質的に同じになるように前記混合溶液の混合比を設定することを特徴とする請求項1記載の化合物半導体装置の製造方法。

【請求項3】少なくとも塩酸と酢酸と過酸化水素を混合した酸溶液に於ける液混合後の液温変化量が1〔℃/分〕以下になってからエッチングを開始することを特徴とする請求項1或いは2記載の化合物半導体装置の製造方法。

【請求項4】少なくとも塩酸と酢酸と過酸化水素との各液を混合してからエッチングを開始するまでの時間を同じメサの形状について同一にすることを特徴とする請求項1乃至3の何れか1記載の化合物半導体装置の製造方法。

【請求項5】少なくとも塩酸と酢酸と過酸化水素との混合前に於ける各液の温度を一定に保つことを特徴とする請求項1乃至4の何れか1記載の化合物半導体装置の製造方法。

【請求項6】メサ・エッチングされる積層構造はメサ・エッチング・マスク膜の直下がInP層であることを特徴とする請求項1乃至5の何れか1記載の化合物半導体装置の製造方法。

【請求項7】化合物半導体層の埋め込み成長を行なってからメサ・エッチング・マスク膜を除去してメサ最上層のInP層表面のダメージ層を除去する工程が含まれてなることを特徴とする請求項1乃至6の何れか1記載の化合物半導体装置の製造方法。

【請求項8】少なくとも塩酸と酢酸と過酸化水素を含む酸溶液を用いてメサ側面を含む基板表面をエッチングしてから前記メサを埋め込む化合物半導体層を形成する為の昇温時に原料ガスに塩素元素を含むガスを添加し化合物半導体層の埋め込み成長直前にメサ側面を含む基板表面を気相エッチングする工程が含まれてなることを特徴とする請求項1乃至7の何れか1記載の化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メサ埋め込み型の半導体レーザや半導体導波路のように要部をメサ形状にエッチングし、その後、メサを半導体で埋め込んだ構造にした化合物半導体装置を製造するのに好適な方法に関する。

【0002】例えば、メサ埋め込み型の半導体レーザに於いては、発振波長や発振しきい値を安定させる為、活性層位置に於けるメサ幅の精密な制御が要求され、従来、ウエット・エッチング法を適用して行なっていたメサ・エッチングがドライ・エッチング法で行なうように転換されようとしている。

【0003】然しながら、ドライ・エッチング法に依って化合物半導体のメサ・エッチングを行なった場合、エッチング表面近傍にエッチング・ダメージ層が生成されることが知られ、その存在は素子の信頼性を低下させるので、本発明では、この問題を解消する一手段を開示する。

【0004】

【従来の技術】例えば、面指数が(001)であるInP基板上にInPクラッド層で挟んだInGaAsP或いはAlInGaAsからなる活性層などを積層形成し、それ等各半導体層を精密な幅を維持しつつメサ化する為、ドライ・エッチング法を適用することに依ってメサ・エッチングし、その後、化合物半導体を成長させてメサを埋め込むことが行なわれている。

【0005】そのドライ・エッチングを行なった際、エッチング表面近傍にはエッチング・ダメージ層が生成されるので、メサを埋め込む前にエッチング・ダメージ層を除去しなければならない。

【0006】メサの埋め込み成長を行なう前に実施されるエッチング・ダメージ層除去の処理には、大別して酸溶液を用いたウエット・エッチング法及びエッチング・ガスをを用いた気相エッチング法が適用される。

【0007】この場合に於けるウエット・エッチング用の酸溶液としては、InP及びInGaAsP及びAlInGaAsなどを同時にエッチングすることができる硫酸を主成分とする硫酸系エッチャントが多用され、また、気相エッチング用のエッチング・ガスとしては、塩素系ガスが多用されてきた。

【0008】気相エッチング法の適用は、メサ化の為のドライ・エッチングに依るダメージの除去に加えて有機金属気相成長(metalorganic vapor phase epitaxy:MOVPE)法に依って埋め込み成長を行なう場合に必要とされている昇温で生じる熱ダメージを埋め込み成長直前に除去することも意図されている。

【0009】ドライ・エッチングに依るダメージ層を除去するには、基板表面の全面に互ってエッチングが進行

するのは勿論のこと、エッチング後に活性層側面がInPクラッド層に対して再現性良く平坦になることが望まれている。

【0010】これは、活性層の側面がInPクラッド層に対して凸になったり、或いは、凹になったりした場合、例えば埋め込み成長した半導体層の成長開始点がマスク直下から活性層直下に移動してしまい、埋め込み形状の制御性が低下してしまう。

【0011】図3はメサが形成された半導体装置を表す要部切断正面図であり、(A)は埋め込み成長前処理前、(B)及び(C)は埋め込み成長前処理後の状態をそれぞれ示している。

【0012】図に於いて、1は面方位が(001)であるn-InP基板、2はn-InPクラッド層、3は1.3[μm]発光-InGaAsP系多重量子井戸活性層、4はp-InPクラッド層、5はp-InGaAsPキャップ層、6はSiO₂マスク膜をそれぞれ示している。

【0013】ここで、p-InGaAsPキャップ層5は、SiO₂膜をパターニングしてマスク膜6を形成する際、SiO₂膜の下地にダメージ層が生成されるので、そのダメージ層をp-InGaAsPキャップ層5で受けるようにし、SiO₂マスク膜6を除去する際にp-InGaAsPキャップ層5も除去することで、半導体装置が機能するのに必要な部分にダメージが及ばないようにする役割を果たしている。

【0014】図3(A)のメサを形成するには、キャップ層5上にSiO₂からなるマスク膜6を形成した後、エタン・ガスをエッチング・ガスとする反応性イオン・エッチング(reactive ion etching: RIE)法を適用することに依って、マスク膜6をエッチング・マスクとしてキャップ層5、p側のクラッド層4、活性層3、n側のクラッド層2のエッチングを行なう。

【0015】メサ・エッチングを行なうと、エッチング表面には、反応生成物であるポリマーが残留するのであるが、後処理として酸素アッシングを行なうことに依って除去してある。

【0016】図3(B)及び図3(C)に見られる半導体装置は、図3(A)に見られるドライ・エッチングで形成されたメサの埋め込み成長前処理として、硫酸系酸溶液(硫酸と過酸化水素と水との混合液)をエッチャントとし且つメサ側面で測って約0.1[μm]のエッチングを行なった状態である。

【0017】図3(B)及び図3(C)から明らかなように、両メサの要部切断正面の形状に相違が見られるが、これは、硫酸系酸溶液の混合比の如何に起因するものであって、活性層3はクラッド層2及び4に対して凸状態になったり、或いは、凹状態になっている。

【0018】本発明者の実験に依れば、活性層3の側面

とクラッド層2及び4の側面とを再現性良く平坦化することは困難であり、しかも、マスク膜6の直下の層、ここではキャップ層5であるが、それがInGaAsPを材料とする場合には、深くサイド・エッチングされてしまう現象が頻発する。

【0019】このようなメサ幅の低下は、前記した活性層3の側面に於ける凹凸と同様、埋め込み形状の制御性を低下させてしまう旨の問題がある。

【0020】ところで、InP結晶とInGaAsP結晶を同時にエッチング可能なエッチャントとしては、前記硫酸系酸溶液の他、従来、メサをウェット・エッチングするのに用いていた臭化水素系酸溶液(臭化水素と過酸化水素と水との混合液)、或いは、塩酸系酸溶液(塩酸と酢酸と過酸化水素と水との混合液)が知られているが(要すれば、「特開平4-229682号公報」、を参照)、これ等のエッチャントをドライ・エッチングで形成したメサの埋め込み成長前処理に用いることは検討されていない。

【0021】そこで、本発明者が臭化水素系酸溶液について実験したところ、ウェット・エッチングに依るメサ形成に用いることは可能であっても、ドライ・エッチングに依って形成したメサの埋め込み成長前処理には不適切であることが判った。

【0022】図4はメサ形成後に埋め込み成長前処理を行なった半導体装置を表す要部切断正面図であり、(A)はウェット・エッチングを施したもの、(B)は気相エッチングを施したものをそれぞれ示している。尚、図3に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0023】図4(A)は、ドライ・エッチングで形成したメサに対して臭化水素系酸溶液を用いて埋め込み成長前処理を行なった場合を示している。

【0024】図から明らかであるが、メサ頂上部に比較してメサ下端部のエッチング量は極端に少なくなっていることが看取される。即ち、臭化水素系酸溶液を用いたウェット・エッチングでは、ドライ・エッチングで形成したメサに於ける底の角部分のダメージ層は除去することが不可能であって、埋め込み成長前処理の為のエッチャントとしては不向きである。

【0025】図4(B)は、ドライ・エッチングでメサを形成してからウェット処理を施していない状態の基板をMOVPE装置内で温度600[℃]に加熱して、ホスフィン(PH₃)に塩素系ガスを添加した混合ガスを供給することに依って、30[nm]程度の気相エッチングを行なった場合を示している。

【0026】図から明らかであるが、ウェット処理を施していないドライ・エッチング・メサ基板に対する気相エッチングは、基板表面内で均一に起こらない場合が多い。

【0027】この理由は、基板表面に生成されたエッチ

ング・ダメージ層の気相エッチング速度が遅く、そのダメージ層が厚く生成されている部分では、エッチングが進行し難いことに原因があると推定される。

【0028】以上は、ドライ・エッチングで形成したメサの埋め込み成長前処理の典型的な従来の技術であるが、これに依って、容易な処理、高い再現性、ドライ・エッチング・ダメージ層の基板全表面に於ける均一なエッチングを行なうことは困難であり、しかも、ドライ・エッチング・ダメージ層除去後の活性層側面をクラッド層に対して平坦にすることはできない。

【0029】

【発明が解決しようとする課題】本発明では、InP基板上のInP系化合物半導体積層体をドライ・エッチングしてメサを形成し、そのメサをInPを含む化合物半導体層で埋め込む際、成長前処理で用いるエッチャントを適切に選択する旨の簡単な手段を探ることで、メサ側面形状を損なうことなくドライ・エッチング・ダメージ層を除去することを可能にする。

【0030】

【課題を解決するための手段】本発明では、InP系化合物半導体装置にドライ・エッチング法でメサを形成した後、そのメサをInP系化合物半導体を含む材料で埋め込む際の前処理を行なう場合、少なくとも塩酸と酢酸と過酸化水素を含む酸溶液を用いることが基本になっている。

【0031】図1は本発明の原理を説明する為の化合物半導体装置を表す要部切断正面図であり、図3或いは図4に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0032】図1(A)は、p-InPクラッド層4上にp-InGaAsPキャップ層5を形成しない半導体装置に対し、本発明に依る酸溶液を用いて埋め込み成長の前処理をした状態を表している。

【0033】図示半導体装置に於けるメサ・ストライプの方向は[110]であり、活性層3の位置で測定したメサ側面のサイド・エッチング量は0.1[μm]程度である。

【0034】図から明らかなように、InGaAsPからなる多重量子井戸活性層3のメサ側面に於ける埋め込み成長前処理のサイド・エッチング量は、n-InPクラッド層2の上面及びp-InPクラッド層4の下面と実質的に変わりなく、前処理後に於いてもメサ側面の平坦性が維持されている。

【0035】本発明者等の実験に依れば、メサ側面に於ける平坦性の実現に関する良好な再現性について確認されているところであるが、この平坦性は酸溶液の混合比に依存する為、活性層3の構造に依っては、酸溶液の混合比を調節する必要がある。

【0036】この酸溶液を用いた場合の特徴は、メサ側面の底位置に(111)面が現れることであり、この

(111)面の出現は、メサ側面の底位置に於いても、メサ側面及びメサ底のエッチングが他の部分と変わりなく正常に進行していることを示すものである。

【0037】また、p-InGaAsPキャップ層5を用いることなく、p-InPクラッド層4上にSiO₂マスク膜6を直接形成したので、マスク膜6の直下でメサ幅が低下することはない。

【0038】尚、SiO₂マスク膜6をパターンニングした際にp-InPクラッド層4の表面にダメージ層が生成されることもあるので、その場合には、埋め込み成長が完了してSiO₂マスク膜6を除去した後、p-InPクラッド層4の頂面を深さ10[nm]以上に互って除去すれば良い。

【0039】図1(B)は、図1(A)の場合と比較する為、p-InPクラッド層4上にp-InGaAsPキャップ層5をもつ半導体装置について、図1(A)の場合と全く同じ条件で埋め込み成長前処理を行なった状態を表している。

【0040】実験に依れば、SiO₂マスク膜6の直下に在るInGaAsPキャップ層5のサイド・エッチング速度は常にp-InPクラッド層4に比較して速くなり、また、このサイド・エッチングの為、埋め込み成長を行なう為に昇温を行なった場合、その過程に於いて、p-InPクラッド層4に於ける角の部分が熱的に変形して円みをもった形状になってしまう。

【0041】このようになると、p-InPクラッド層4の上面側のメサ幅は活性層3のメサ幅に比較して著しく狭くなる現象が頻発し、埋め込み成長を行なった場合、その部分にn-InPが入り込み、p-InP電流注入領域の幅が狭くなってしまうので素子抵抗が増大することになる。

【0042】ところで、再現性良くメサ・エッチングを制御するには、本発明による酸溶液の液混合後からエッチング終了までの温度履歴を正確に管理する必要がある。実験結果に依れば、エッチング量の揺らぎを10[%]程度以下に抑える為には、液混合後の液温の変化量を1[℃/分]以下になってからエッチングを開始すること、液混合後からエッチング開始までの時間を一定にすること、更には、混合前の各原液の温度を一定にすることが重要である。これ等は、液混合後に化学反応に依って液の状態が経時変化するので、それに対処しなければならないことに原因がある。

【0043】図1(C)は、ドライ・エッチングしたメサをもつ半導体装置に本発明に依る酸溶液で約50[nm]程度のウェット・エッチングに依る埋め込み成長前処理を行なった後、更に、例えば塩化メチルをエッチング・ガスとして深さ0.2[μm]程度の気相エッチングした状態を表している。

【0044】本発明の酸溶液を用いたウェット・エッチングに依る埋め込み成長前処理を施した場合、埋め込み

成長を行なう為の昇温時にPの原料ガスに塩素を含むガスを反応室に供給することで、埋め込み成長直前の気相エッチングを正常に実施することができる。

【0045】実験に依れば、本発明の酸溶液を用いたウェット・エッチングに依る埋め込み成長前処理を行なつてから、塩化メチル或いは塩化エチルのガスをエッチング・ガスとして気相エッチングを行なった場合、ウェット・エッチング時に活性層3の側面に若干の凹凸が発生しても自動的に修正されて平坦な側面が形成される。

【0046】即ち、本発明では、活性層の構造如何に対応して酸溶液の組成を選択することが基本になっているのであるから、基板面内に構造を異にする活性層をもつ素子が存在している場合には、それ等の全てに対応することは難しくなるが、前記の二段階エッチング技術を用いることで、全ての素子に於ける活性層側面を平坦化することが可能となる。

【0047】前記したところから、本発明に依る化合物半導体装置の製造方法に於いては、(1)面指数が(001)であるInP基板(例えばn-InP基板1)上に少なくともInP層(例えばn-InPクラッド層2並びにp-InPクラッド層4)で挟まれたInGaAsP或いはAlInGaAsを材料とする化合物半導体層(例えばInGaAsP系MQW活性層3)を含んだ積層構造を形成する工程と、次いで、ドライ・エッチング法を適用することに依って前記積層構造をメサ形状にエッチングする工程と、次いで、少なくとも塩酸と酢酸と過酸化水素を含む酸溶液を用いて前記メサ側面を含む基板表面をエッチングする工程と、次いで、前記メサを埋め込む化合物半導体層(例えばp-InPブロック層7並びにn-InPブロック層8)を形成する工程とが含まれてなることを特徴とするか、又は、

【0048】(2)前記(1)に於いて、酸溶液を塩酸と酢酸と過酸化水素と水の混合溶液とし且つメサ側面に於けるサイド・エッチング速度が下側InP層(例えばn-InPクラッド層2)の上面と上側InP層(例えばp-InPクラッド層4)の下面とで実質的に同じになるように前記混合溶液の混合比を設定することを特徴とするか、又は、

【0049】(3)前記(1)或いは(2)に於いて、少なくとも塩酸と酢酸と過酸化水素を混合した酸溶液に於ける液混合後の液温変化量が1〔℃/分〕以下になつてからエッチングを開始することを特徴とするか、又は、

【0050】(4)前記(1)乃至(3)の何れか1に於いて、少なくとも塩酸と酢酸と過酸化水素との各液を混合してからエッチングを開始するまでの時間を同じメサの形状について同一にすることを特徴とするか、又は、

【0051】(5)前記(1)乃至(4)の何れか1に於いて、少なくとも塩酸と酢酸と過酸化水素との混合前

に於ける各液の温度を一定に保つことを特徴とするか、又は、

【0052】(6)前記(1)乃至(5)の何れか1に於いて、メサ・エッチングされる積層構造はメサ・エッチング・マスク膜の直下がInP層であることを特徴とするか、又は、

【0053】(7)前記(1)乃至(5)の何れか1に於いて、化合物半導体層の埋め込み成長を行なつてからメサ・エッチング・マスク膜を除去してメサ最上層のInP層表面のダメージ層を除去する工程が含まれてなることを特徴とするか、又は、

【0054】(8)前記(1)乃至(7)の何れか1に於いて、少なくとも塩酸と酢酸と過酸化水素を含む酸溶液を用いてメサ側面を含む基板表面をエッチングしてから前記メサを埋め込む化合物半導体層を形成する為の昇温時に原料ガスに塩素元素を含むガスを添加し化合物半導体層の埋め込み成長直前にメサ側面を含む基板表面を気相エッチングする工程が含まれてなることを特徴とする。

【0055】前記手段を採ることに依り、InP基板上のInP系化合物半導体積層体をドライ・エッチングしてメサを形成した際に生成されるドライ・エッチング・ダメージ層は、そのメサをInPを含む化合物半導体層で埋め込む際の成長前処理で用いるエッチャントを適切に選択する旨の簡単な手段を採ることのみで、メサ側面形状を損なうことなく除去することが可能である。

【0056】

【発明の実施の形態】実施の形態1として、1.3〔μm〕発光のInGaAsP多重量子井戸(multiple quantum wells:MQW)活性層を含む半導体装置を対象にして説明する。尚、以下、図1を参考にして説明するものとする。

【0057】(1)MOVPE法を適用することに依り、面方位が(001)であるn-InP基板1上にクラッド層2、MQW活性層3、クラッド層4、キャップ層5を成長させる。

【0058】ここで成長させた各半導体層に関する主要データを例示すると次の通りである。

■ クラッド層2について

材料：n-InP

不純物：Si

不純物濃度： 5×10^{17} 〔cm⁻³〕

厚さ：0.5〔μm〕

■ MQW活性層3について

材料：InGaAsP(バリア層)/InGaAsP(井戸層)

厚さ：10〔nm〕(バリア層)/4〔nm〕(井戸層)

周期：8

■ クラッド層4について

材料：p-InP

不純物：Zn

不純物濃度： $5 \times 10^{17} \text{ [cm}^{-3}\text{]}$

厚さ：0.3 [nm]

■ キャップ層5について

材料：p-InGaAsP

不純物：Zn

不純物濃度： $1 \times 10^{18} \text{ [cm}^{-3}\text{]}$

厚さ：50 [nm]

【0059】(2) エッチャントをフッ酸+硝酸の混合液とするウエット・エッチング法を適用することに依り、p-InGaAsPキャップ層5を選択的に除去する。

【0060】(3) 熱CVD法を適用することに依り、厚さが200 [nm] であるSiO₂膜を形成する。

【0061】(4) リソグラフィ技術に於けるレジスト・プロセス、及び、エッチャントをHF系酸溶液とするウエット・エッチング法を適用することに依り、工程(3)で形成したSiO₂膜のエッチングを行なって、[011]方向に幅2.0 [μm]のストライプをなすSiO₂マスク膜6を形成する。

【0062】(5) レジスト剥離液中に浸漬し、SiO₂マスク膜6を形成した際に用いたレジスト膜を除去してから、エッチング・ガスをC₂H₆とするRIE法を適用することに依り、SiO₂マスク膜6をマスクとしてp-InPクラッド層4の表面からn-InP基板1に達する深さ3 [μm]のドライ・エッチングを行なってメサを形成する。

【0063】RIEの条件にも依るが、前記エッチングでは、SiO₂膜6もエッチングされるので、その後退効果によって、完成メサの幅は1.5 [μm]程度になる。

【0064】(6) 前記ドライ・エッチングの後処理として酸素アッシングを行ない、前記ドライ・エッチングに依って生成されたポリマを除去する。

【0065】(7) ここで、本発明に於ける重要な工程であるドライ・エッチング・メサ形成後のウエット・エッチング処理を行なう。

【0066】この実施の形態に於ける半導体装置のMQW活性層3は1.3 [μm]発光のInGaAsPであるから、酸溶液は塩酸と酢酸と過酸化水素の原液を同体積の水と混合して使用する。

【0067】厳密にエッチング速度を制御する為には、液混合後の液温の時間変化を一定にすることが必要であり、従って、混合前の各原液の温度は放置することなく一定に管理しておくことが望ましい。

【0068】この酸溶液の混合比は、MQW活性層3のメサ側面に於ける成長前処理のサイド・エッチング速度がn-InPクラッド層2の上面及びp-InPクラッド層4の下面に於けるサイド・エッチング速度と実質的

に同じになることを目安に定める。

【0069】この混合を行なうことで若干の発熱があるので、液温が室温程度に安定するまで放置する。

【0070】(8) 液を混合してから約2 [分]後に半導体装置を混合液に投入し、攪拌しながらウエット・エッチングを行なう。

【0071】酸溶液に依るエッチング速度は10 [%/分]程度の温度依存性がある為、分程度の時間でエッチングが終了することを想定し、液混合後の液温の変化量が1 [°C/分]以下になってからエッチングを開始するものとする。

【0072】また、この酸溶液に依るエッチング形状、即ち、各層のエッチング速度比は液混合後の経過時間に依存するので、液混合後からエッチング開始時間までの時間は一定にする必要がある。

【0073】前記条件でエッチングした場合のメサ側面に於けるサイド・エッチング速度は毎分0.1 [μm]程度である。

【0074】メサ形成の為のドライ・エッチングに依って生成されたダメージ層を除去する為には40 [nm]以上のエッチングが必要であり、確実に期す為には80 [nm]程度にすると良い。

【0075】(9) 所定時間のウエット・エッチングが終わった後、混合液を捨て、水洗を充分に行なう。

【0076】ここで、メサの頂面、従って、SiO₂マスク膜6の直下がInPではない他の化合物半導体になっていると、前記ウエット・エッチングに依るサイド・エッチング速度は他の部分のメサ側面に比較して速くなってしまい、従って、メサ幅は狭くなってしまいが、本発明では、InPになっているので、そのような問題は起きない。

【0077】前記工程を経ることに依って、図1(A)に見られるように側面が平坦なメサを実現することができる。

【0078】前記工程を実施するに際しては、原液の温度管理やエッチング開始の時間管理も重要であり、例えば液温が1 [°C]ずれるとエッチング速度は約10

[%]早くなり、また、前記実施の形態に於けるエッチング開始時間を2 [分]遅らせるとInGaAsPからなるMQW活性層3のInPに対する相対エッチング速度は速くなり、結果として、メサの側面形状は凹になってしまう。

【0079】前記ウエット・エッチングは、組成を異にするInGaAsPの活性層やAlInGaAsの活性層に対しても有効であるが、その場合の最適混合比や液温の設定が変わってくる。

【0080】以上は、基板上に化合物半導体層の積層体を形成し、それをドライ・エッチング法でメサ・エッチングし、そのメサを埋め込む為の半導体層を成長させる前に実施する前処理までの工程を説明したのであるが、

その後の工程は次の通りである。

【0081】図2は実施の形態1の後半を説明する為の工程要所に於ける半導体装置を表す要部切断正面図であり、以下、図を参照しつつ説明する。尚、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0082】図2(A) 参照

2-(1)

MOVPE法を適用することに依り、メサ両側の平坦部分に於ける厚さが2[μm]であるp-InPブロック層7及び同じく厚さが1[μm]であるn-InPブロック層8を形成してメサの埋め込みを行なう。

【0083】図2(B) 参照

2-(2)

HF系エッチング液中に浸漬してSiO₂マスク膜6を除去してから、HClとH₂O₂とH₂Oとの混合液からなるエッチング液を用いてp-InPクラッド層4の表面を深さ10[nm]以上に互って除去する。

【0084】前記のようにp-InPクラッド層4の表面をエッチングする理由は、SiO₂マスク膜6を形成した際、p-InPクラッド層4は表面にダメージを受けているので、そのダメージ層を除去する為である。

2-(3)

MOVPE法を適用することに依り、平坦部分に於ける厚さが3[μm]であるp-InPクラッド層9、同じく厚さが0.5[μm]であるp-InGaAsPコンタクト層10を形成する。

【0085】2-(4)

この後、通常の技法を適用して保護絶縁膜、p側電極、n側電極などを形成して完成する。

【0086】前記実施の形態1に依れば、SiO₂マスク膜6の直下であった部分からメサの底に至るまで側面は平坦であって、その直下の部分から(111)B面が現れる埋め込み構造を実現することができる。

【0087】実施の形態2として、埋め込み成長前処理に前記説明したウェット・エッチングの他に気相エッチングを併用する場合について説明する。

【0088】ウェット・エッチングのみで埋め込み成長前処理を行なう場合は、活性層の構造に対応して酸溶液の組成を調整することが必要となるので、複数の異なる活性層構造が同一基板内に存在する場合には、ウェット・エッチングの他に気相エッチングを導入すると有効である。

【0089】また、単一の活性層構造からなる場合であっても、量産工程では、気相エッチングの導入が有効である。

【0090】さて、実施の形態1で説明したようにウェット・エッチングに依る埋め込み成長前処理を行なってから、水素で希釈したPH₃雰囲気中で、基板を埋め込み成長の成長温度である約600[°C]に昇温する。

尚、全圧は例えば50[Torr]であって、PH₃分圧は1[Torr]程度に設定する。

【0091】この場合、メサからのp型ドーパントの蒸発を抑制する為にp型ドーパント原料であるジメチル亜鉛ガスを添加しても良い。

【0092】基板温度が安定してから、0.3[Torr]程度の分圧でCH₃Clを前記供給ガスに添加することに依って気相エッチングを行なう。

【0093】前記条件で行なった気相エッチングに依るメサ側面でのサイド・エッチング速度は0.01[μm/分]程度である。但し、エッチング深さは、エッチング時間、CH₃Cl供給量、温度などに依って大きく変化する。

【0094】実施の形態2では、気相エッチング・ガスとしてCH₃Clを用いたが、これはC₂H₅Clを始め、塩素元素を含むガスを用いることで、同様な気相エッチングを実現することができる。

【0095】

【発明の効果】本発明に依る化合物半導体装置の製造方法に依れば、InP基板上に少なくともInP層で挟まれたInGaAsP或いはAlInGaAsを材料とする化合物半導体層を含んだ積層構造を形成し、ドライ・エッチング法を適用することに依って積層構造をメサ形状にエッチングし、少なくとも塩酸と酢酸と過酸化水素を含む酸溶液を用いてメサ側面を含む基板表面をエッチングし、メサを埋め込む化合物半導体層を形成する。

【0096】前記構成を採ることに依り、InP基板上のInP系化合物半導体積層体をドライ・エッチングしてメサを形成した際に生成されるドライ・エッチング・ダメージ層は、そのメサをInPを含む化合物半導体層で埋め込む際の成長前処理で用いるエッチャントを適切に選択する旨の簡単な手段を採ることのみで、メサ側面形状を損なうことなく除去することが可能である。

【図面の簡単な説明】

【図1】本発明の原理を説明する為の化合物半導体装置を表す要部切断正面図である。

【図2】実施の形態1の後半を説明する為の工程要所に於ける半導体装置を表す要部切断正面図である。

【図3】メサが形成された半導体装置を表す要部切断正面図である。

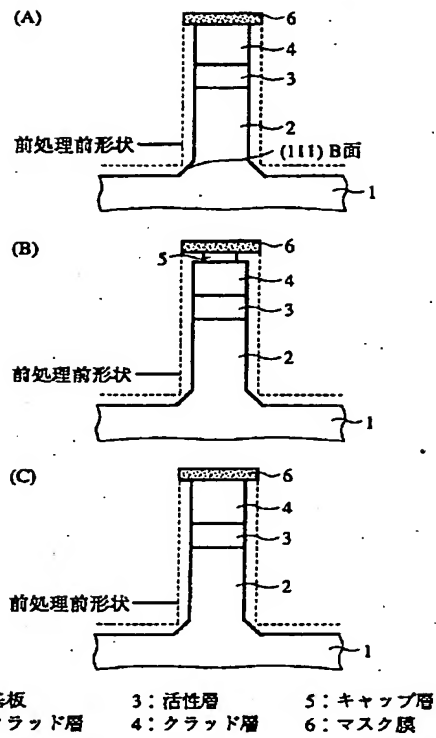
【図4】メサ形成後に埋め込み成長前処理を行なった半導体装置を表す要部切断正面図である。

【符号の説明】

- 1 n-InP基板
- 2 n-InPクラッド層
- 3 InGaAsP系多重量子井戸活性層
- 4 p-InPクラッド層
- 5 p-InGaAsPキャップ層
- 6 SiO₂マスク膜

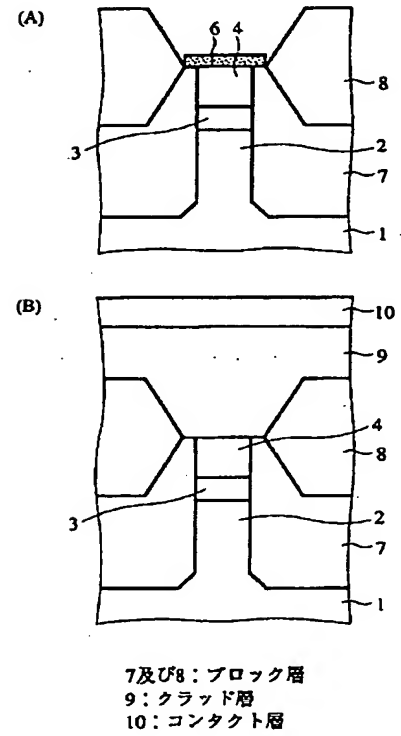
【図1】

半導体装置の要部切断正面図



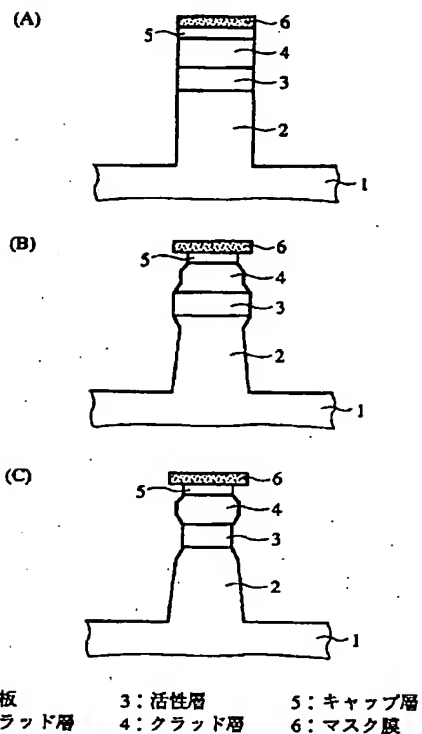
【図2】

半導体装置の要部切断正面図



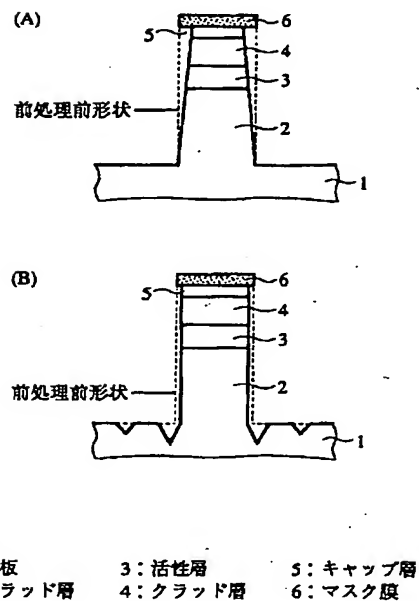
【図3】

半導体装置の要部切断正面図



【図4】

半導体装置の要部切断正面図



フロントページの続き

(72)発明者 岡崎 二郎
山梨県中巨摩郡昭和町大字紙漉阿原1000番
地 富士通カンタムデバイス株式会社内
(72)発明者 渡辺 孝幸
山梨県中巨摩郡昭和町大字紙漉阿原1000番
地 富士通カンタムデバイス株式会社内

Fターム(参考) 5F004 AA06 BA11 DA00 DB19 DB20
DB22 EA06 EB08 FA08
5F043 AA04 AA16 AA20 BB06 DD04
FF05
5F073 AA22 AA74 CA12 CA15 DA22
DA24